

AP20 Rec'd PCTO 27 FEB 2006

明 細 書

同期整流型DC-DCコンバータ

技術分野

[0001] 本発明は、2次側回路でのスイッチング損失を低減することにより変換効率を向上する同期整流型DC-DCコンバータに関する。

背景技術

[0002] 直流電源に接続されて1次側回路を構成する少なくとも1つの主スイッチング素子及びトランスの1次巻線と、トランスの1次巻線に電磁的に結合する2次巻線と、2次巻線と負荷との間に接続され2次側回路を構成する少なくとも1つの整流用スイッチング素子とを備え、主スイッチング素子のスイッチング動作に同期して整流用スイッチング素子を駆動することにより2次側回路から負荷に直流出力を供給する同期整流型DC-DCコンバータは、従来から高効率のスイッチング電源装置として知られている。

図14に示す従来の同期整流型DC-DCコンバータは、直流電源(1)に対して直列に接続された第1及び第2の主スイッチング素子としての第1及び第2の主MOS-FET(2,3)と、第1及び第2の主MOS-FET(2,3)の接続点と直流電源(1)の負極端子との間に接続されたトランス(4)の1次巻線(4a)と、トランス(4)の1次巻線(4a)と直列に接続された電流共振用コンデンサ(5)と、第1の主MOS-FET(2)のドレイン-ソース間に接続された電圧擬似共振用コンデンサ(6)と、トランス(4)の2次巻線(4b,4c)に接続された第1及び第2の整流用スイッチング素子としての第1及び第2の整流用MOS-FET(7,8)と、第1及び第2の整流用MOS-FET(7,8)のソース-ドレイン間に各々接続された第1及び第2の出力整流ダイオード(9,10)と、トランス(4)の2次巻線(4b,4c)の中間タップと第1及び第2の整流用MOS-FET(7,8)のソースとの間に接続された出力平滑コンデンサ(11)とを備えている。第1及び第2の主MOS-FET(2,3)、トランス(4)の1次巻線(4a)、電流共振用コンデンサ(5)、電圧擬似共振用コンデンサ(6)は、1次側回路を構成し、トランス(4)の2次巻線(4b,4c)、第1及び第2の整流用MOS-FET(7,8)、第1及び第2の出力整流ダイオード(9,10)、出力平滑コンデンサ(11)は、2次側回路を構成する。

[0003] トランス(4)は、1次巻線(4a)に電磁的に結合する駆動巻線(4d)と、1次巻線(4a)に直列に接続された漏洩インダクタンス(4e)とを有し、漏洩インダクタンス(4e)は電流共振用リアクトルとして作用する。整流ダイオード(12)及び平滑コンデンサ(13)が接続された駆動巻線(4d)は、制御回路(21)の駆動電源端子(V_{cc})に駆動用の直流電力を供給する。直流電源(1)の正極端子と平滑コンデンサ(13)との間に接続された起動抵抗(14)を介して、装置起動時に直流電源(1)から流れる電流により平滑コンデンサ(13)を充電し、制御回路(21)を起動させる。第1及び第2の主MOS-FET(2,3)の接続点と起動抵抗(14)との間に直列に接続された整流ダイオード(15)及び平滑コンデンサ(16)は、チャージポンプ回路を構成し、制御回路(21)のハイサイド側の電源端子(V_B, V_S)間に直流電力を供給する。直流出力電圧 V_O を検出する出力電圧検出回路(17)は、出力平滑コンデンサ(11)の両端に接続され、トランス(4)の2次巻線(4b, 4c)の中間タップと出力電圧検出回路(17)との間にフォトカプラ(18)を構成するフォトダイオード(19)が接続される。フォトダイオード(19)の検出出力信号は、フォトカプラ(18)を構成するフォトランジスタ(20)に付与され、フォトランジスタ(20)は、制御回路(21)の帰還信号入力端子(V_{FB})に接続される。

[0004] 制御回路(21)は、発振器(22)と、発振器(22)の出力を受信するDフリップフロップ(23)と、Dフリップフロップ(23)の一方の出力端子に接続された第1のデッドタイム付加回路(24)と、第1のデッドタイム付加回路(24)の出力を受信するローサイド側バッファ増幅器(25)と、Dフリップフロップ(23)の他方の出力端子に接続された第2のデッドタイム付加回路(26)と、第2のデッドタイム付加回路(26)の出力を受信するレベル変換回路(27)と、レベル変換回路(27)の出力を受信するハイサイド側バッファ増幅器(28)とを備えている。発振器(22)は、フォトカプラ(18)を介して帰還信号入力端子(V_{FB})に入力される出力電圧検出回路(17)の検出出力信号の電圧レベルに応じて周波数が変化するパルス信号を出力する。Dフリップフロップ(23)は、発振器(22)から出力されるパルス信号からハイサイド側の第2の駆動パルス信号 V_{G2} 及びその反転信号であるローサイド側の第1の駆動パルス信号 V_{G1} を生成する。第1のデッドタイム付加回路(24)は、Dフリップフロップ(23)の一方の出力端子から出力される第1の駆動パルス信号 V_{G1} に一定時間のデッドタイムを付加する。ローサイド側バッファ増幅器(25)は、デッドタイム

が付加された第1の駆動パルス信号 V_{G1} を第1の主MOS-FET(2)のゲートに付与する。第2のデッドタイム付加回路(26)は、Dフリップフロップ(23)の他方の出力端子から出力される第2の駆動パルス信号 V_{G2} に一定時間のデッドタイムを付加する。レベル変換回路(27)は、デッドタイムが付加された第2の駆動パルス信号 V_{G2} の電圧レベルを変換する。ハイサイド側バッファ増幅器(28)は、レベル変換回路(27)から出力される第2の駆動パルス信号 V_{G2} を第2の主MOS-FET(3)のゲートに付与する。これにより、出力電圧検出回路(17)の検出出力信号の電圧レベルに応じて制御回路(21)からPFM(パルス周波数変調)制御された第1及び第2の駆動パルス信号 V_{G1} , V_{G2} がそれぞれ第1及び第2の主MOS-FET(2,3)の各ゲートに付与されるので、出力電圧検出回路(17)の検出出力信号の電圧レベルに対応する周波数で第1及び第2の主MOS-FET(2,3)を交互にオン・オフ動作させることができる。

[0005] 第1の主MOS-FET(2)のゲートは、第1のコンデンサ(29)及び第1のパルストランス(31)を介して第1の整流用MOS-FET(7)のゲートに接続され、第2の主MOS-FET(3)のゲートは、第2のコンデンサ(30)及び第2のパルストランス(34)を介して第2の整流用MOS-FET(8)のゲートに接続される。このため、制御回路(21)から出力される第1の駆動パルス信号 V_{G1} は、第1のコンデンサ(29)を介して第1のパルストランス(31)の1次巻線(32)に入力され、2次巻線(33)から第1の駆動パルス信号 V_{G1} と同一波形の第1の同期駆動パルス信号 V_{SC1} が発生して第1の整流用MOS-FET(7)のゲートに付与される。一方、第2の駆動パルス信号 V_{G2} は、第2のコンデンサ(30)を介して第2のパルストランス(34)の1次巻線(35)に入力され、2次巻線(36)から第2の駆動パルス信号 V_{G2} と同一波形の第2の同期駆動パルス信号 V_{SC2} が発生して第2の整流用MOS-FET(8)のゲートに付与される。これにより、1次側の第1及び第2の主MOS-FET(2,3)のオン・オフ動作に同期して、2次側の第1及び第2の整流用MOS-FET(7,8)がそれぞれオン・オフ駆動され、2次側回路の出力端子間に発生する略一定レベルの直流出力電圧 V_o が図示しない負荷に供給される。

[0006] 図14に示す同期整流型DC-DCコンバータの動作は以下の通りである。図示しない電源スイッチをオンすると、直流電源(1)から起動抵抗(14)を介して平滑コンデンサ(13)が充電される。平滑コンデンサ(13)の充電電圧が制御回路(21)の起動電圧に達

すると、制御回路(21)が動作を開始する。このとき、制御回路(21)から第1及び第2の駆動パルス信号 V_{G1} , V_{G2} が出力され、それぞれ第1及び第2の主MOS-FET(2,3)の各ゲートに付与され、第1及び第2の主MOS-FET(2,3)がオン・オフ動作を開始する。第2の主MOS-FET(3)がオン状態のときは、直流電源(1)、第2の主MOS-FET(3)、トランス(4)の漏洩インダクタンス(4e)、1次巻線(4a)、電流共振用コンデンサ(5)及び直流電源(1)の経路で1次側回路に電流 I_{Q2} が流れる。電流 I_{Q2} は、電流共振用コンデンサ(5)の静電容量及びトランス(4)の漏洩インダクタンス(4e)で決定される共振周波数の共振電流とトランス(4)の1次巻線(4a)の励磁電流との合成電流となる。また、第2の主MOS-FET(3)のオンに同期して第2の整流用MOS-FET(8)がオン状態となり、トランス(4)の2次巻線(4c)から第2の出力整流ダイオード(10)と第2の整流用MOS-FET(8)との並列回路を介して出力平滑コンデンサ(11)及び図示しない負荷に前記の共振電流と略同様の電流 I_{S2} が流れる。

- [0007] 電流 I_{Q2} が流れる間に第2の主MOS-FET(3)をオフ状態にすると、第1及び第2の主MOS-FET(2,3)のドレイン-ソース間の電圧 V_{Q1} , V_{Q2} は、電圧擬似共振用コンデンサ(6)の静電容量及びトランス(4)の図示しない励磁インダクタンスと漏洩インダクタンス(4e)との合成インダクタンスで決定される共振周波数の擬似共振電圧となる。これと同時に、第2の主MOS-FET(3)に流れるトランス(4)の1次巻線(4a)の励磁電流は、第1の主MOS-FET(2)のドレイン-ソース間の図示しない寄生ダイオードに転流する。寄生ダイオードへの転流期間中に第1の主MOS-FET(2)をオン状態に切り換えると、第1の主MOS-FET(2)の寄生ダイオードに流れる電流はそのまま減少し、極性が反転して第1の主MOS-FET(2)に電流 I_{Q1} が流れる。第1の主MOS-FET(2)に流れる電流 I_{Q1} は、第2の主MOS-FET(3)に流れる電流 I_{Q2} とは逆極性で電流共振用コンデンサ(5)の静電容量及びトランス(4)の漏洩インダクタンス(4e)で決定される共振周波数の共振電流とトランス(4)の1次巻線(4a)の励磁電流との合成電流となる。また、第1の主MOS-FET(2)のオンに同期して第1の整流用MOS-FET(7)がオン状態となり、トランス(4)の2次巻線(4b)から第1の出力整流ダイオード(9)と第1の整流用MOS-FET(7)との並列回路を介して出力平滑コンデンサ(11)及び図示しない負荷に前記の共振電流と略同様の電流 I_{S1} が流れる。

[0008] 電流 I_{Q1} が流れる間に第1の主MOS-FET(2)をオフ状態に切り換えると、第1及び第2の主MOS-FET(2,3)のドレインソース間の電圧 V_{Q1} , V_{Q2} は、電圧擬似共振用コンデンサ(6)の静電容量及びトランス(4)の図示しない励磁インダクタンスと漏洩インダクタンス(4e)との合成インダクタンスで決定される共振周波数の擬似共振電圧となる。これと同時に、第1の主MOS-FET(2)に流れるトランス(4)の1次巻線(4a)の励磁電流は、第2の主MOS-FET(3)のドレインソース間の図示しない寄生ダイオードに転流する。寄生ダイオードへの転流期間中に第2の主MOS-FET(3)をオン状態に切り換えると、第2の主MOS-FET(3)の寄生ダイオードに流れる電流はそのまま減少し、極性が反転して第2の主MOS-FET(3)に電流 I_{Q2} が流れる。図15(A)、(B)及び(C)は、それぞれ第1の主MOS-FET(2)のドレインソース間の電圧 V_{Q1} 、第1の主MOS-FET(2)に流れる電流 I_{Q1} 及びトランス(4)の2次巻線(4b)に流れる電流 I_{S1} の各波形を示す。

[0009] これ以降は、前記同期整流動作が繰り返され、略一定レベルの直流出力電圧 V_O が2次側回路から図示しない負荷に印加される。また、第1及び第2の主MOS-FET(2,3)のスイッチング周波数は、トランス(4)の漏洩インダクタンス(4e)と電流共振用コンデンサ(5)の静電容量とで決定される共振周波数より高いため、第1及び第2の主MOS-FET(2,3)のスイッチング周波数を上昇させることにより、図示しない負荷に供給される直流出力を制限できる。前記と略類似の構成を有する同期整流型DC-DCコンバータは、例えば下記の特許文献1に開示されている。

特許文献1:特開2000-23455号公報(第5頁、図3)

発明の開示

発明が解決しようとする課題

[0010] ところで、図14に示す従来の同期整流型DC-DCコンバータでは、トランス(4)の2次側回路の第1及び第2の整流用MOS-FET(7,8)をオン状態にするタイミングを1次側回路の第1及び第2の主MOS-FET(2,3)のターンオンにそれぞれ同期させるため、図15(C)及び(A)に示すように、トランス(4)の2次側回路に流れる電流 I_{S1} , I_{S2} は、1次側回路の第1及び第2の主MOS-FET(2,3)のオン期間と一致しない。このため、2次側回路の第1及び第2の出力整流ダイオード(9,10)に電流が流れない期間に第1

及び第2の整流用MOS-FET(7,8)がオン状態となるため、出力平滑コンデンサ(11)からトランス(4)の2次巻線(4b,4c)に向かう方向に流れる逆電流が発生する。この逆電流は、更にトランス(4)の1次側と2次側との間を往復する循環電流となり、1次側の第1及び第2の主MOS-FET(2,3)及び2次側の第1及び第2の整流用MOS-FET(7,8)で無用なスイッチング損失を発生するため、同期整流型DC-DCコンバータの変換効率が低下する欠点があった。

- [0011] そこで、本発明は、2次側回路でのスイッチング損失を低減して変換効率を向上できる同期整流型DC-DCコンバータを提供することを目的とする。

課題を解決するための手段

- [0012] 本発明による同期整流型DC-DCコンバータは、直流電源(1)に接続されて1次側回路を構成する少なくとも1つの主スイッチング素子(2,3)及びトランス(4)の1次巻線(4a)と、トランス(4)の1次巻線(4a)に電磁的に結合する2次巻線(4b,4c)と負荷との間に接続され2次側回路を構成する少なくとも1つの整流用スイッチング素子(7,8)と、1次側回路に流れる電流(I_{Q1}, I_{Q2})を検出する電流検出手段(51)と、トランス(4)の励磁電流に対応する電圧よりも大きいバイアス電圧(V_{BS1}, V_{BS2})を発生するバイアス手段(53,54)と、電流検出手段(51)の検出電圧(V_{DT})がバイアス手段(53,54)のバイアス電圧(V_{BS1}, V_{BS2})を超えたとき、整流用スイッチング素子(7,8)を駆動する比較手段(55,57)とを備え、主スイッチング素子(2,3)のスイッチング動作に同期して整流用スイッチング素子(7,8)を駆動することにより2次側回路から負荷に直流出力(V_O)を供給する。
- [0013] 電流検出手段(51)の検出電圧(V_{DT})がトランス(4)の励磁電流に対応する電圧よりも大きいバイアス手段(53,54)のバイアス電圧(V_{BS1}, V_{BS2})を超えたとき、比較手段(55,57)によりトランス(4)の励磁電流成分を除く1次側回路の電流(I_{Q1}, I_{Q2})に同期して整流用スイッチング素子(7,8)が駆動される。これにより、2次側回路に流れる整流出力電流(I_{S1}, I_{S2})に比例して整流用スイッチング素子(7,8)が駆動されるため、無用な循環電流による電力損失が発生しない。このため、2次側回路を構成する整流用スイッチング素子(7,8)で発生する電力損失を最小限に抑制して同期整流型DC-DCコンバータの変換効率を向上することができる。

- [0014] 本発明による他の同期整流型DC-DCコンバータは、1次側回路に流れる電流(I_{Q1}

、 I_{Q2} を検出する電流検出手段(51)と、バイアス電圧(V_{BS1} , V_{BS2})を発生するバイアス手段(53,54)と、トランス(4)の励磁電流に対応する電圧に比例する傾斜信号(V_{RP})を発生する傾斜信号発生手段と、電流検出手段(51)の検出電圧(V_{DT})がバイアス手段(53,54)のバイアス電圧(V_{BS1} , V_{BS2})と傾斜電圧発生手段の傾斜信号(V_{RP})との重畳信号の電圧を超えたとき、整流用スイッチング素子(7,8)を駆動する比較手段(55,57)とを備える。また、本発明によるもう一つの他の同期整流型DC-DCコンバータは、1次側回路に流れる電流(I_{Q1} , I_{Q2})を検出する電流検出手段(51)と、バイアス電圧(V_{BS1} , V_{BS2})を発生するバイアス手段(53,54)と、トランス(4)の励磁電流に対応する電圧に比例する傾斜信号(V_{RP})を発生する傾斜信号発生手段と、電流検出手段(51)の検出電圧(V_{DT})と傾斜電圧発生手段の傾斜信号(V_{RP})との重畳信号の電圧がバイアス手段(53,54)のバイアス電圧(V_{BS1} , V_{BS2})を超えたとき、整流用スイッチング素子(7,8)を駆動する比較手段(55,57)とを備える。傾斜信号発生手段の傾斜信号(V_{RP})の波形がトランス(4)の1次巻線(4a)に流れる励磁電流の波形と略相似になるため、電流検出手段(51)にて検出された1次側回路の電流(I_{Q1} , I_{Q2})に含まれるトランス(4)の励磁電流成分を相殺することができる。このため、2次側回路に流れる整流出力電流(I_{S1} , I_{S2})に正確に比例させて整流用スイッチング素子(7,8)を効率よく駆動することができる。

発明の効果

- [0015] 本発明によれば、電流検出手段の検出電圧がトランスの励磁電流に対応する電圧よりも大きいバイアス手段のバイアス電圧を超えたときに整流用スイッチング素子を駆動することにより、トランスの励磁電流成分を除く1次側回路の電流に同期して2次側回路の整流用スイッチング素子が駆動される。これにより、2次側回路に流れる整流出力電流に比例して整流用スイッチング素子が駆動されるので、無用な循環電流による電力損失が発生せず、2次側回路の整流用スイッチング素子で発生する電力損失を最小限に抑えて同期整流型DC-DCコンバータの変換効率を向上することができる。トランスの励磁電流に対応する電圧に比例する傾斜信号を発生する傾斜信号発生手段を設けた場合は、電流検出手段にて検出された1次側回路の電流に含まれるトランスの励磁電流成分が傾斜信号により相殺されるので、2次側回路に流れる整流出力電流に正確に比例させて整流用スイッチング素子を効率よく駆動すること

ができる。バイアス手段のバイアス電圧は、トランスの励磁電流成分より小さい範囲を含む任意のバイアス電圧でよい。バイアス手段のバイアス電圧を低い値に設定できる利点がある。特に、電流共振方式の同期整流型DC-DCコンバータに本発明を適用する場合は、低耐圧でオン抵抗の低い整流用スイッチング素子を使用できるので、安価で且つ変換効率の極めて高い同期整流型DC-DCコンバータの実現が可能となる。

図面の簡単な説明

- [0016] [図1]本発明による同期整流型DC-DCコンバータを電流共振方式の同期整流型DC-DCコンバータに適用した一実施の形態を示す電気回路図
- [図2]図1の電流検出用抵抗の検出電圧と各整流用MOS-FETの同期駆動パルス信号との関係を示すタイムチャート
- [図3]図1の各部の電圧及び電流を示す波形図
- [図4]図1の同期整流型DC-DCコンバータの変更実施の形態を示す電気回路図
- [図5]図4の同期整流型DC-DCコンバータの変更実施の形態を示す電気回路図
- [図6]本発明による同期整流型DC-DCコンバータの第2の実施の形態を示す電気回路図
- [図7]図6の各部の電圧を示す波形図
- [図8]本発明による同期整流型DC-DCコンバータの第3の他の実施の形態を示す電気回路図
- [図9]図8の各部の電圧を示す波形図
- [図10]図8の同期整流型DC-DCコンバータの変更実施の形態を示す電気回路図
- [図11]同期整流型DC-DCコンバータの第4の実施の形態を示す電気回路図
- [図12]第4の実施の形態の同期整流型DC-DCコンバータを変更した第5の実施の形態を示す電気回路図
- [図13]本発明による同期整流型DC-DCコンバータの変形例を示す電気回路図
- [図14]従来の同期整流型DC-DCコンバータの一例を示す電気回路図
- [図15]図14の各部の電圧及び電流を示す波形図

符号の説明

[0017] (1)・・直流電源、(2)・・第1の主MOS-FET(第1の主スイッチング素子)、(3)・・第2の主MOS-FET(第2の主スイッチング素子)、(4)・・トランス、(4a)・・1次巻線、(4b,4c)・・2次巻線、(4d)・・駆動巻線、(4e)・・漏洩インダクタンス、(5)・・電流共振用コンデンサ、(6)・・電圧擬似共振用コンデンサ、(7)・・第1の整流用MOS-FET(第1の整流用スイッチング素子)、(8)・・第2の整流用MOS-FET(第2の整流用スイッチング素子)、(9)・・第1の出力整流ダイオード、(10)・・第2の出力整流ダイオード、(11)・・出力平滑コンデンサ、(12)・・整流ダイオード、(13)・・平滑コンデンサ、(14)・・起動抵抗、(15)・・整流ダイオード、(16)・・平滑コンデンサ、(17)・・出力電圧検出回路、(18)・・フォトカプラ、(19)・・フォトダイオード、(20)・・フォトリジスタ、(21)・・制御回路、(22)・・発振器、(23)・・Dフリップフロップ、(24)・・第1のデッドタイム付加回路、(25)・・ローサイド側バッファ増幅器、(26)・・第2のデッドタイム付加回路、(27)・・レベル変換回路、(28)・・ハイサイド側バッファ増幅器、(29)・・第1のコンデンサ、(30)・・第2のコンデンサ、(31)・・第1のパルストランス、(32)・・1次巻線、(33)・・2次巻線、(34)・・第2のパルストランス、(35)・・1次巻線、(36)・・2次巻線、(37)・・他の電流共振用コンデンサ、(38)・・他の電圧擬似共振用コンデンサ、(39)・・電流共振用リアクトル、(51)・・電流検出用トランス(電流検出手段)、(52)・・電流検出用抵抗、(53)・・第1の直流バイアス電源(バイアス手段)、(54)・・第2の直流バイアス電源(バイアス手段)、(55)・・第1の比較器(第1の比較手段)、(56)・・第1のバッファ増幅器、(57)・・第2の比較器(第2の比較手段)、(58)・・第2のバッファ増幅器、(59)・・バイアス電源、(60)・・オペアンプ(周波数信号発生手段)、(61)・・抵抗、(62)・・積分コンデンサ、(63)・・駆動用電源、(64)・・波形変換回路(波形変換手段)、(65)・・分流用コンデンサ、(66)・・電圧変換用抵抗、(67,68,70)・・抵抗、(69)・・バイアス電源

発明を実施するための最良の形態

[0018] 以下、同期整流型DC-DCコンバータを電流共振方式の同期整流型DC-DCコンバータに適用した本発明による5つの実施の形態を図1～図12について説明する。図1～図12では、図14及び図15に示す箇所と実質的に同一の部分には同一の符号を付し、その説明を省略する。

[0019] 図1に示すように、本発明の第1の実施の形態を示す同期整流型DC-DCコンバータは、トランス(4)の1次側回路に流れる電流 I_{Q1} , I_{Q2} を検出する電流検出手段となる電流検出用トランス(CT: Current Transformer)(51)と、電流検出用トランス(51)の検出電流をそれに対応する電圧 V_{DT} に変換する電流検出用抵抗(52)と、トランス(4)の励磁電流に対応する電圧よりも大きいバイアス電圧 V_{BS1} , V_{BS2} を発生するバイアス手段としての第1及び第2の直流バイアス電源(53,54)と、非反転入力端子(+)に入力される電流検出用抵抗(52)の検出電圧 V_{DT} が反転入力端子(-)に入力される第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} を超えたときに第1の整流用MOS-FET(7)をオン状態にする第1の同期駆動パルス信号 V_{SC1} を出力する第1の比較手段としての第1の比較器(55)と、第1の比較器(55)の第1の同期駆動パルス信号 V_{SC1} を第1の整流用MOS-FET(7)のゲートに付与する第1のバッファ増幅器(56)と、反転入力端子(-)に入力される電流検出用抵抗(52)の検出電圧 V_{DT} が非反転入力端子(+)に入力される第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} を超えたときに第2の整流用MOS-FET(8)をオン状態にする第2の同期駆動パルス信号 V_{SC2} を出力する第2の比較手段としての第2の比較器(57)と、第2の比較器(57)の第2の同期駆動パルス信号 V_{SC2} を第2の整流用MOS-FET(8)のゲートに付与する第2のバッファ増幅器(58)とを備えている。第1の直流バイアス電源(53)は、陰極端子が接地され且つ陽極端子が第1の比較器(55)の反転入力端子(-)に接続される。第2の直流バイアス電源(54)は、陽極端子が接地され且つ陰極端子が第2の比較器(57)の非反転入力端子(+)に接続される。電流検出用トランス(51)の右端の2つの黒点は、第1及び第2の主MOS-FET(2,3)の接続点とトランス(4)の1次巻線(4a)との間のライン上に接続される図示しない1次巻線及び電流検出用抵抗(52)の両端に接続される2次巻線が互いに同極性であることを示す。その他の構成は、第1及び第2のコンデンサ(29,30)と第1及び第2のパルス変換器(31,34)を省略した点を除き、図14に示す従来の同期整流型DC-DCコンバータと略同様である。

[0020] 上記の構成において、第2の主MOS-FET(3)がオン状態のときは、直流電源(1)、第2の主MOS-FET(3)、トランス(4)の漏洩インダクタンス(4e)、1次巻線(4a)、電流共振用コンデンサ(5)及び直流電源(1)の経路で1次側回路に電流 I_{Q2} が流れる。このとき

の電流 I_{Q2} は、電流共振用コンデンサ(5)の静電容量及びトランス(4)の漏洩インダクタンス(4e)で決定される共振周波数の共振電流とトランス(4)の1次巻線(4a)の励磁電流との合成電流となる。1次側回路に流れる電流 I_{Q2} は電流検出用トランス(51)にて検出され、更に電流検出用抵抗(52)によりその検出電流に対応する電圧 V_{DT} に変換される。即ち、電流検出用抵抗(52)の両端には、図2(A)に示すように接地(グランド)電圧0Vを基準電位として電流検出用トランス(51)の検出電流に比例して変化する電圧 V_{DT} が発生する。電流検出用抵抗(52)の検出電圧 V_{DT} は第2の比較器(57)の反転入力端子(-)に入力され、非反転入力端子(+)に入力される第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} と比較される。図2(A)に示すように、電流検出用抵抗(52)の検出電圧 V_{DT} が第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} より低くなると、図2(B)に示すように、第2の比較器(57)から第2のバッファ増幅器(58)を介して第2の整流用MOS-FET(8)のゲートに高い電圧(H)レベルの第2の同期駆動パルス信号 V_{SC2} が付与され、第2の整流用MOS-FET(8)がオン状態となる。これにより、トランス(4)の2次巻線(4c)から第2の出力整流ダイオード(10)と第2の整流用MOS-FET(8)との並列回路を介して出力平滑コンデンサ(11)及び図示しない負荷に前記の共振電流と略同様の電流 I_{S2} が流れる。

- [0021] 電流 I_{Q2} が流れる間に第2の主MOS-FET(3)をオフ状態にすると、第1及び第2の主MOS-FET(2,3)のドレイン-ソース間の電圧 V_{Q1} 、 V_{Q2} は、電圧擬似共振用コンデンサ(6)の静電容量及びトランス(4)の図示しない励磁インダクタンスと漏洩インダクタンス(4e)との合成インダクタンスで決定される共振周波数の擬似共振電圧となる。これと同時に、第2の主MOS-FET(3)に流れるトランス(4)の1次巻線(4a)の励磁電流は、第1の主MOS-FET(2)のドレイン-ソース間の図示しない寄生ダイオードに転流する。この転流期間中に第1の主MOS-FET(2)をオン状態にすると、第1の主MOS-FET(2)の寄生ダイオードに流れる電流は、そのまま減少し、極性が反転して第1の主MOS-FET(2)に電流 I_{Q1} が流れる。このとき、1次側回路に流れる電流 I_{Q1} は、第2の主MOS-FET(3)に流れる電流 I_{Q2} とは逆極性で電流共振用コンデンサ(5)の静電容量及びトランス(4)の漏洩インダクタンス(4e)で決定される共振周波数の共振電流とトランス(4)の1次巻線(4a)の励磁電流との合成電流となる。1次側回路に流れる電流 I_{Q1} は

電流検出用トランス(51)にて検出され、更に電流検出用抵抗(52)によりその検出電流に対応する電圧 V_{DT} に変換される。即ち、電流検出用抵抗(52)の両端には、図2(A)に示すように接地(グランド)電圧0Vを基準電位として電流検出用トランス(51)の検出電流に比例して変化する電圧 V_{DT} が発生する。電流検出用抵抗(52)の検出電圧 V_{DT} は、第1の比較器(55)の非反転入力端子(+)に入力され、反転入力端子(-)に入力される第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} と比較される。図2(A)に示すように、電流検出用抵抗(52)の検出電圧 V_{DT} が第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} より高くなると、図2(C)に示すように、第1の比較器(55)から第1のバッファ増幅器(56)を介して第1の整流用MOS-FET(7)のゲートに高い電圧(H)レベルの第1の同期駆動パルス信号 V_{SC1} が付与され、第1の整流用MOS-FET(7)がオン状態となる。これにより、トランス(4)の2次巻線(4b)から第1の出力整流ダイオード(9)と第1の整流用MOS-FET(7)との並列回路を介して出力平滑コンデンサ(11)及び図示しない負荷に前記の共振電流と略同様の電流 I_{S1} が流れる。

[0022] 電流 I_{Q1} が流れる間に第1の主MOS-FET(2)をオフ状態にすると、第1及び第2の主MOS-FET(2,3)のドレイン-ソース間の電圧 V_{Q1} 、 V_{Q2} は電圧擬似共振用コンデンサ(6)の静電容量及びトランス(4)の図示しない励磁インダクタンスと漏洩インダクタンス(4e)との合成インダクタンスで決定される共振周波数の擬似共振電圧となる。これと同時に、第1の主MOS-FET(2)に流れるトランス(4)の1次巻線(4a)の励磁電流は、第2の主MOS-FET(3)のドレイン-ソース間の図示しない寄生ダイオードに転流する。この転流期間中に第2の主MOS-FET(3)をオン状態にすると、第2の主MOS-FET(3)の寄生ダイオードに流れる電流はそのまま減少し、極性が反転して第2の主MOS-FET(3)に電流 I_{Q2} が流れる。これ以降は、前記同期整流動作が繰り返され、略一定レベルの直流出力電圧 V_O が2次側回路から図示しない負荷に供給される。図3(A)、(B)及び(C)は、それぞれ第1の主MOS-FET(2)のドレイン-ソース間の電圧 V_{Q1} 、第1の主MOS-FET(2)に流れる電流 I_{Q1} 及びトランス(4)の2次巻線(4b)に流れる電流 I_{S1} の各波形を示す。

[0023] 第1の実施の形態では、トランス(4)の1次側回路に流れる電流 I_{Q1} 、 I_{Q2} を電流検出用トランス(51)により検出し、電流検出用抵抗(52)の検出電圧 V_{DT} がトランス(4)の励磁電

流に対応する電圧よりも大きい第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} を超えたとき、第1及び第2の比較器(55,57)から出力される高い電圧(H)レベルの第1及び第2の同期駆動パルス信号 V_{SC1} , V_{SC2} により第1及び第2の整流用MOS-FET(7,8)をオン状態にする。これにより、トランス(4)の励磁電流成分を除く1次側回路の電流 I_{Q1} , I_{Q2} に同期して第1及び第2の整流用MOS-FET(7,8)を駆動することができる。このため、2次側回路に流れる整流出力電流 I_{S1} , I_{S2} に比例して第1及び第2の整流用MOS-FET(7,8)が駆動されるので、無用な循環電流による電力損失が発生しない。したがって、2次側回路を構成する第1及び第2の整流用MOS-FET(7,8)で発生する電力損失を最小限に抑制して同期整流型DC-DCコンバータの変換効率を向上することができる。また、電流共振方式の同期整流型DC-DCコンバータであるため、2次側回路の第1及び第2の整流用MOS-FET(7,8)に印加される電圧を図示しない負荷に供給される直流出力電圧 V_o の2倍に制限できる。このため、各整流用MOS-FET(7,8)として低耐圧でオン抵抗の低いMOS-FETを使用できるので、安価で且つ変換効率の極めて高い同期整流型DC-DCコンバータを実現できる。

- [0024] 電流検出用抵抗(52)の検出電圧 V_{DT} と第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} とをそれぞれ第1及び第2の比較器(55,57)により比較する図1に示す同期整流型DC-DCコンバータの代わりに、図4に示すように、第1及び第2の直流バイアス電源(53,54)をそれぞれ電流検出用抵抗(52)と第1及び第2の比較器(55,57)との間に直列に接続し、電流検出用抵抗(52)の検出電圧 V_{DT} を第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} の分だけ負側にシフトさせると共に、第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} の分だけ正側にシフトさせ、それぞれのシフト後の検出電圧 V_{DT} を第1及び第2の比較器(55,57)により接地(グランド)電圧0Vと比較してもよい。図1及び図4に示す同期整流型DC-DCコンバータでは、それぞれ正出力及び負出力を発生する電源で第1及び第2の比較器(55,57)を駆動するが、実際には単一の出力を発生する電源で駆動する場合が多いため、図5に示すように第1及び第2の比較器(55,57)の基準電圧入力側に別のバイアス電源(59)を接続し、何れか一方の比較器(55,57)の入力電圧範囲を超えないように基準電位となる接地(グランド)

電圧0Vをバイアス電源(59)によりシフトすることが望ましい。図4及び図5に示す何れの場合も、得られる作用及び効果は図1の回路と略同様である。

- [0025] 第1の実施の形態は変更が可能である。例えば、本発明の第2の実施の形態の同期整流型DC-DCコンバータは、図6に示すように、トランス(4)の2次巻線(4c)に発生する電圧の周波数に同期するパルス信号 V_{PL} を出力する周波数信号発生手段を構成するオペアンプ(60)と、オペアンプ(60)の出力パルス信号 V_{PL} の半周期毎に傾斜が反転する傾斜信号 V_{RP} を出力する積分回路を構成する抵抗(61)及び積分コンデンサ(62)とを図1に示す同期整流型DC-DCコンバータに追加し、抵抗(61)及び積分コンデンサ(62)の接続点を第1の直流バイアス電源(53)の陰極端子と第2の直流バイアス電源(54)の陽極端子との接続点に接続したものである。オペアンプ(60)の非反転入力端子(+)は、トランス(4)の2次巻線(4c)に接続され、同反転入力端子(-)は2次側回路の接地端子に接続される。したがって、図7(B)に示すように、トランス(4)の2次巻線(4c)に発生する電圧の周波数で極性が交番する矩形状のパルス信号 V_{PL} がオペアンプ(60)の出力端子から出力され、オペアンプ(60)の出力パルス信号 V_{PL} により抵抗(61)を介して積分コンデンサ(62)が抵抗(61)の抵抗値と積分コンデンサ(62)の静電容量との積で決まる時定数で充電及び放電される。これにより、図7(C)に示すように、トランス(4)の2次巻線(4c)の電圧の周波数に同期する傾斜信号 V_{RP} が抵抗(61)及び積分コンデンサ(62)の接続点から出力される。即ち、オペアンプ(60)、抵抗(61)及び積分コンデンサ(62)は、トランス(4)の1次巻線(4a)に流れる励磁電流に対応する電圧に比例する傾斜信号 V_{RP} を発生する傾斜信号発生手段を構成する。その他の構成は、図1に示す同期整流型DC-DCコンバータと略同様である。

- [0026] 図6に示す回路では、第2の主MOS-FET(3)がオン状態のときに、1次側回路に流れる電流 I_{Q2} は、電流検出用トランス(51)にて検出され、電流検出用抵抗(52)によりその検出電流に対応する電圧 V_{DT} に変換される。このとき、図7(A)に示すように、接地(グランド)電圧0Vを基準電位として電流検出用トランス(51)の検出電流に比例して変化する電圧 V_{DT} が電流検出用抵抗(52)の両端に発生する。電流検出用抵抗(52)の検出電圧 V_{DT} は、第2の比較器(57)の反転入力端子(-)に入力され、非反転入力端子(+)に入力される傾斜信号発生手段を構成する抵抗(61)及び積分コンデンサ(62)の

接続点に発生する傾斜信号 V_{RP} と第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} との重畳信号 $V_{RP} - V_{BS2}$ の電圧と比較される。即ち、第2の比較器(57)の非反転入力端子(+)には、図7(C)に示す抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧を第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} の分だけ負側にシフトさせた図7(D)に示す重畳信号 $V_{RP} - V_{BS2}$ の電圧が入力される。図7(D)に示すように、電流検出用抵抗(52)の検出電圧 V_{DT} が重畳信号 $V_{RP} - V_{BS2}$ の電圧より低くなると、図7(E)に示すように、第2の比較器(57)から第2のバッファ増幅器(58)を介して第2の整流用MOS-FET(8)のゲートに高い電圧(H)レベルの第2の同期駆動パルス信号 V_{SC2} が付与され、第2の整流用MOS-FET(8)がオン状態となる。

- [0027] 一方、第1の主MOS-FET(2)がオン状態のときに、1次側回路に流れる電流 I_{Q1} は電流検出用トランス(51)にて検出され、電流検出用抵抗(52)によりその検出電圧に対応する電圧 V_{DT} に変換される。このとき、図7(A)に示すように、接地(グランド)電圧0Vを基準電位として電流検出用トランス(51)の検出電流に比例して変化する電圧 V_{DT} が電流検出用抵抗(52)の両端に発生する。電流検出用抵抗(52)の検出電圧 V_{DT} は、第1の比較器(55)の非反転入力端子(+)に入力され、反転入力端子(-)に入力される傾斜信号発生手段を構成する抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧と第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} との重畳信号 $V_{RP} + V_{BS1}$ の電圧と比較される。即ち、第1の比較器(55)の反転入力端子(-)には、図7(C)に示す抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧を第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} の分だけ正側にシフトさせた図7(D)に示す重畳信号 $V_{RP} + V_{BS1}$ の電圧が入力される。図7(D)に示すように電流検出用抵抗(52)の検出電圧 V_{DT} が前記の重畳信号 $V_{RP} + V_{BS1}$ の電圧より高くなると、図7(F)に示すように、第1の比較器(55)から第1のバッファ増幅器(56)を介して第1の整流用MOS-FET(7)のゲートに高い電圧(H)レベルの第1の同期駆動パルス信号 V_{SC1} が付与され、第1の整流用MOS-FET(7)がオン状態となる。図1に示す同期整流型DC-DCコンバータの動作と略同様である上記の動作を除く図6に示す同期整流型DC-DCコンバータの主回路の基本的な動作の詳細な説明を省略する。

- [0028] 第2の実施の形態では、傾斜信号発生手段の積分回路を構成する抵抗(61)及び積

分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧波形がトランス(4)の1次巻線(4a)に流れる励磁電流の波形と略相似になるため、傾斜信号 V_{RP} と第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} との重畳信号で第1及び第2の比較器(55,57)の不感帯を形成することにより、電流検出用トランス(51)にて検出された1次側回路の電流 I_{Q1} , I_{Q2} に含まれるトランス(4)の励磁電流成分を相殺することができる。これにより、1次側回路に流れる電流 I_{Q1} , I_{Q2} の共振電流成分のみに同期して2次側回路の第1及び第2の整流用MOS-FET(7,8)がオン状態となる。したがって、2次側回路に流れる整流出力電流 I_{S1} , I_{S2} に正確に比例させて第1及び第2の整流用MOS-FET(7,8)を効率よく駆動することができる。また、第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} は、トランス(4)の励磁電流成分より小さい範囲を含む任意のバイアス電圧でよい。ため、第1の実施の形態に比較して低い値に設定できる利点がある。なお、特に図示はしないが、第2の実施の形態でも図4及び図5に示す第1の実施の形態と略同様の変更が可能である。

- [0029] また、本発明の第3の実施の形態を示す同期整流型DC-DCコンバータは、図8に示すように、トランス(4)の2次巻線(4c)に発生する電圧の周波数に同期するパルス信号 V_{PL} を出力する周波数信号発生手段を構成するオペアンプ(60)と、オペアンプ(60)の出力パルス信号 V_{PL} の半周期毎に傾斜が反転する傾斜信号 V_{RP} を出力する積分回路を構成する抵抗(61)及び積分コンデンサ(62)とを図4に示す同期整流型DC-DCコンバータに追加し、抵抗(61)及び積分コンデンサ(62)の接続点を電圧検出用抵抗(52)の基準電位側(図面に向かって左側)に接続したものである。オペアンプ(60)の反転入力端子(-)はトランス(4)の2次巻線(4c)に接続され、同非反転入力端子(+)は2次側回路の接地端子に接続される。したがって、図9(B)に示すように、トランス(4)の2次巻線(4c)に発生する電圧の周波数で極性が交番する矩形状のパルス信号 V_{PL} がオペアンプ(60)の出力端子から出力され、オペアンプ(60)の出力パルス信号 V_{PL} により抵抗(61)を介して積分コンデンサ(62)が抵抗(61)の抵抗値と積分コンデンサ(62)の静電容量との積で決まる時定数で充電及び放電される。これにより、図9(C)に示すように、トランス(4)の2次巻線(4c)の電圧の周波数に同期する傾斜信号 V_{RP} が抵抗(61)及び積分コンデンサ(62)の接続点から出力される。即ち、オペアンプ(60)、抵抗(61)

及び積分コンデンサ(62)は、トランス(4)の1次巻線(4a)に流れる励磁電流に対応する電圧に比例する傾斜信号 V_{RP} を発生する傾斜信号発生手段を構成する。その他の構成は、図4に示す同期整流型DC-DCコンバータと略同様である。

[0030] 図8に示す第2の主MOS-FET(3)がオン状態のときに、1次側回路に流れる電流 I_{Q2} は、電流検出用トランス(51)にて検出され、電流検出用抵抗(52)によりその検出電流に対応する電圧 V_{DT} に変換される。このとき、電流検出用抵抗(52)の両端には、傾斜信号発生手段を構成する抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧を基準電位として、電流検出用トランス(51)の検出電流に比例して変化する電圧が発生する。即ち、電流検出用抵抗(52)の検出電位側(図面に向かって右側)には、図9(D)に示すように、図9(C)に示す抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧と図9(A)に示す電流検出用抵抗(52)の検出電圧 V_{DT} との重畳信号 $V_{RP} + V_{DT}$ の電圧が発生する。電流検出用抵抗(52)の検出電位側の重畳電圧 $V_{RP} + V_{DT}$ は、第2の直流バイアス電源(54)を介して第2の比較器(57)の反転入力端子(-)に入力され、非反転入力端子(+)に入力される接地(グランド)電圧0Vと比較される。即ち、第2の比較器(57)の反転入力端子(-)には、第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} の分だけ重畳電圧 $V_{RP} + V_{DT}$ を正側にシフトさせた電圧が入力される。換言すれば、図9(D)に示すように、電流検出用抵抗(52)の検出電位側の重畳電圧 $V_{RP} + V_{DT}$ は、第2の比較器(57)により第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} と比較される。図9(D)に示すように、重畳電圧 $V_{RP} + V_{DT}$ が第2の直流バイアス電源(54)のバイアス電圧 V_{BS2} より低くなると、図9(E)に示すように、第2の比較器(57)から第2のバッファ増幅器(58)を介して第2の整流用MOS-FET(8)のゲートに高い電圧(H)レベルの第2の同期駆動パルス信号 V_{SC2} が付与され、第2の整流用MOS-FET(8)がオン状態となる。

[0031] 一方、第1の主MOS-FET(2)がオン状態のときに1次側回路に流れる電流 I_{Q1} は、電流検出用トランス(51)にて検出され、更に電流検出用抵抗(52)によりその検出電流に対応する電圧 V_{DT} に変換される。このとき、電流検出用抵抗(52)の両端には、傾斜信号発生手段を構成する抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧を基準電位として、電流検出用トランス(51)の検出電流に比例して

変化する電圧が発生する。即ち、電流検出用抵抗(52)の検出電位側(図面に向かって右側)には、図9(D)に示すように、図9(C)に示す抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧と図9(A)に示す電流検出用抵抗(52)の検出電圧 V_{DT} との重畳信号 $V_{RP} + V_{DT}$ の電圧が発生する。電流検出用抵抗(52)の検出電位側の重畳電圧 $V_{RP} + V_{DT}$ は、第1の直流バイアス電源(53)を介して第1の比較器(55)の非反転入力端子(+)に入力され、反転入力端子(-)に入力される接地(グランド)電圧0Vと比較される。即ち、第1の比較器(55)の非反転入力端子(+)には、第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} の分だけ重畳電圧 $V_{RP} + V_{DT}$ を負側にシフトさせた電圧が入力される。換言すれば、図9(D)に示すように、電流検出用抵抗(52)の検出電位側の重畳電圧 $V_{RP} + V_{DT}$ は、第1の比較器(55)により第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} と比較される。図9(D)に示すように、重畳電圧 $V_{RP} + V_{DT}$ が第1の直流バイアス電源(53)のバイアス電圧 V_{BS1} より高くなると、図9(F)に示すように、第1の比較器(55)から第1のバッファ増幅器(56)を介して第1の整流用MOS-FET(7)のゲートに高い電圧(H)レベルの第1の同期駆動パルス信号 V_{SC1} が付与され、第1の整流用MOS-FET(7)がオン状態となる。図1に示す同期整流型DC-DCコンバータの動作と略同様である上記の動作を除く図8に示す同期整流型DC-DCコンバータの主回路の基本的な動作の詳細な説明を省略する。

- [0032] 第3の実施の形態では、傾斜信号発生手段の積分回路を構成する抵抗(61)及び積分コンデンサ(62)の接続点に発生する傾斜信号 V_{RP} の電圧波形がトランス(4)の1次巻線(4a)に流れる励磁電流の波形と略相似になるため、傾斜信号 V_{RP} と電流検出用抵抗(52)の検出電圧 V_{DT} との重畳信号 $V_{RP} + V_{DT}$ を第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} と比較することにより、電流検出用トランス(51)にて検出された1次側回路の電流 I_{Q1} , I_{Q2} に含まれるトランス(4)の励磁電流成分を相殺することができる。これにより、1次側回路に流れる電流 I_{Q1} , I_{Q2} の共振電流成分のみに同期して2次側回路の第1及び第2の整流用MOS-FET(7,8)がオン状態となる。このため、2次側回路に流れる整流出力電流 I_{S1} , I_{S2} に正確に比例させて第1及び第2の整流用MOS-FET(7,8)を効率よく駆動することができる。また、第1及び第2の直流バイアス電源(53,54)のバイアス電圧 V_{BS1} , V_{BS2} は、トランス(4)の励磁電流成分より小さい範囲を

含む任意のバイアス電圧でよい。第1の実施の形態に比較して低い値に設定できる利点がある。第3の実施の形態でも図5に示す実施の形態と略同様の変更が可能である。即ち、第3の実施の形態において第1及び第2の比較器(55,57)を単一の出力を発生する電源で駆動する場合、図10に示すように、第1及び第2の比較器(55,57)の基準電圧入力側に別のバイアス電源(59)を接続し、何れか一方の比較器(55,57)の入力電圧範囲を超えないように基準電位となる接地(グランド)電圧0Vをバイアス電源(59)によりシフトさせればよい。また、図10では傾斜信号発生手段を構成するオペアンプ(60)が別の駆動用電源(63)により駆動される。特に図示しないが、第1及び第2の直流バイアス電源(53,54)の接続位置を図1に示す実施の形態と同様の位置に変更することも可能である。

[0033] また、図11に示す第4の実施の形態による同期整流型DC-DCコンバータは、図8に示すオペアンプ(60)、抵抗(61)及び積分コンデンサ(62)の代わりに、制御回路(21)内の発振器(22)から出力されるパルス信号をそのパルス信号の半周期毎に傾斜が反転する傾斜信号 V_{RP} に変換する波形変換手段としての波形変換回路(64)を設けて、その出力端子を電流検出用抵抗(52)の基準電位側に接続し、第1及び第2のバッファ増幅器(56,58)の出力信号 V_{sc1} , V_{sc2} を第1及び第2のコンデンサ(29,30)と第1及び第2のパルストランス(31,34)を介して第1及び第2の整流用MOS-FET(7,8)の各ゲートに付与するように変更したものである。また、図11に示す同期整流型DC-DCコンバータでは、単一の出力を発生する電源で第1及び第2の比較器(55,57)を駆動するため、1次側回路の接地端子(GND)と第1及び第2の比較器(55,57)の基準電圧入力側端子との間にバイアス電源(59)を接続する。その他の構成は、図8に示す同期整流型DC-DCコンバータと略同様である。第4の実施の形態では、第1及び第2のパルストランス(31,34)によりトランス(4)の1次側回路と2次側回路が絶縁されるので、1次側及び2次側回路間での相互干渉が発生し難い利点がある。図8に示す同期整流型DC-DCコンバータの動作と略同様である図11に示す同期整流型DC-DCコンバータの動作の詳細な説明を省略する。

[0034] 更に、図12に示す第4の実施の形態による同期整流型DC-DCコンバータは、図11に示す電流検出用トランス(51)の代わりに、電流共振用コンデンサ(5)の両端に直

列に接続された分流用コンデンサ(65)及び電圧変換用抵抗(66)と、分流用コンデンサ(65)及び電圧変換用抵抗(66)の接続点と第1及び第2の直流バイアス電源(53,54)の接続点との間に接続された抵抗(67)とで電流検出手段を構成し、図11に示す波形変換回路(64)と第1及び第2の直流バイアス電源(53,54)の接続点との間に抵抗(68)を接続し、第1及び第2の直流バイアス電源(53,54)の接続点と1次側回路の接地端子(GND)との間にバイアス電源(69)及び抵抗(70)を直列に接続し、第1及び第2の直流バイアス電源(53,54)の極性を互いに逆にし、第1及び第2の比較器(55,57)の反転入力端子(-)及び非反転入力端子(+)をそれぞれ互いに入れ替えたものである。その他の構成は、図11に示す同期整流型DC-DCコンバータと略同様である。第4の実施の形態では、1次側回路の電流共振用コンデンサ(5)に流れる電流を分流用コンデンサ(65)に僅かに分流することにより検出し、その検出電流を電圧変換用抵抗(66)により電圧に変換し、その検出電圧を抵抗(67)を介して第1及び第2の直流バイアス電源(53,54)に重畳する。このため、図11に示す電流検出用トランス(51)に比較して安価なコンデンサ及び抵抗により電流検出手段を構成できると共に、1次側回路に流れる電流 I_{Q1} , I_{Q2} を効率よく低損失で検出できる利点がある。図8に示す同期整流型DC-DCコンバータの動作と略同様である図12に示す同期整流型DC-DCコンバータの動作の詳細な説明を省略する。

- [0035] 本発明の実施態様は前記5つの実施の形態に限定されず、更に種々の変更が可能である。例えば、図5に示す同期整流型DC-DCコンバータは、図13に示すような変更が可能である。即ち、図13に示す同期整流型DC-DCコンバータでは、トランス(4)の1次巻線(4a)と電流共振用コンデンサ(5)の接続点と第2の主MOS-FET(3)のドレインとの間に他の電流共振用コンデンサ(37)を接続し、第2の主MOS-FET(3)のドレイン-ソース間に他の電圧擬似共振用コンデンサ(38)を接続し、図1に示すトランス(4)の漏洩インダクタンス(4e)を電流共振用リアクトルとして使用する代わりに1次巻線(4a)と直列に外付けの電流共振用リアクトル(39)を接続し、2次側の第1及び第2の整流用MOS-FET(7,8)の取り付け位置を負極側から正極側に変更し、第1及び第2の直流バイアス電源(53,54)の極性を互いに逆にし、第1及び第2の比較器(55,57)の反転入力端子(-)及び非反転入力端子(+)をそれぞれ互いに入れ替えている。図13に

示す同期整流型DC-DCコンバータの動作は、2次側回路に流れる整流出力電流 I_{s1}, I_{s2} の方向が図5とは逆になるため、第1及び第2の同期駆動パルス信号 V_{sc1}, V_{sc2} のオン期間が互いに入れ替わる点、及びドライブ回路のレベルが異なる点を除き、図5に示す同期整流型DC-DCコンバータの動作と略同様となる。したがって、図13に示す同期整流型DC-DCコンバータでは、第1の実施の形態と略同様の作用及び効果が得られる。また、第1の実施の形態の図1、図4及び第2―第5の実施の形態についても前記と同様の変更が可能である。また、第1―第5の実施の形態での2次側の第1及び第2の出力整流ダイオード(9,10)の代わりに、第1及び第2の整流用MOS-FET(7,8)のドレイン―ソース間の内蔵ダイオードを使用してもよい。また、第1―第5の実施の形態では、トランス(4)の1次側回路をハーフブリッジ型とする代わりに、フルブリッジ型、プッシュプル型又はフォワード型とすることもできる。更に、トランス(4)の2次側の整流回路を半波整流型にも変更できる。

産業上の利用可能性

[0036] 本発明は、電流共振方式の同期整流型DC-DCコンバータに効果が顕著である。

請求の範囲

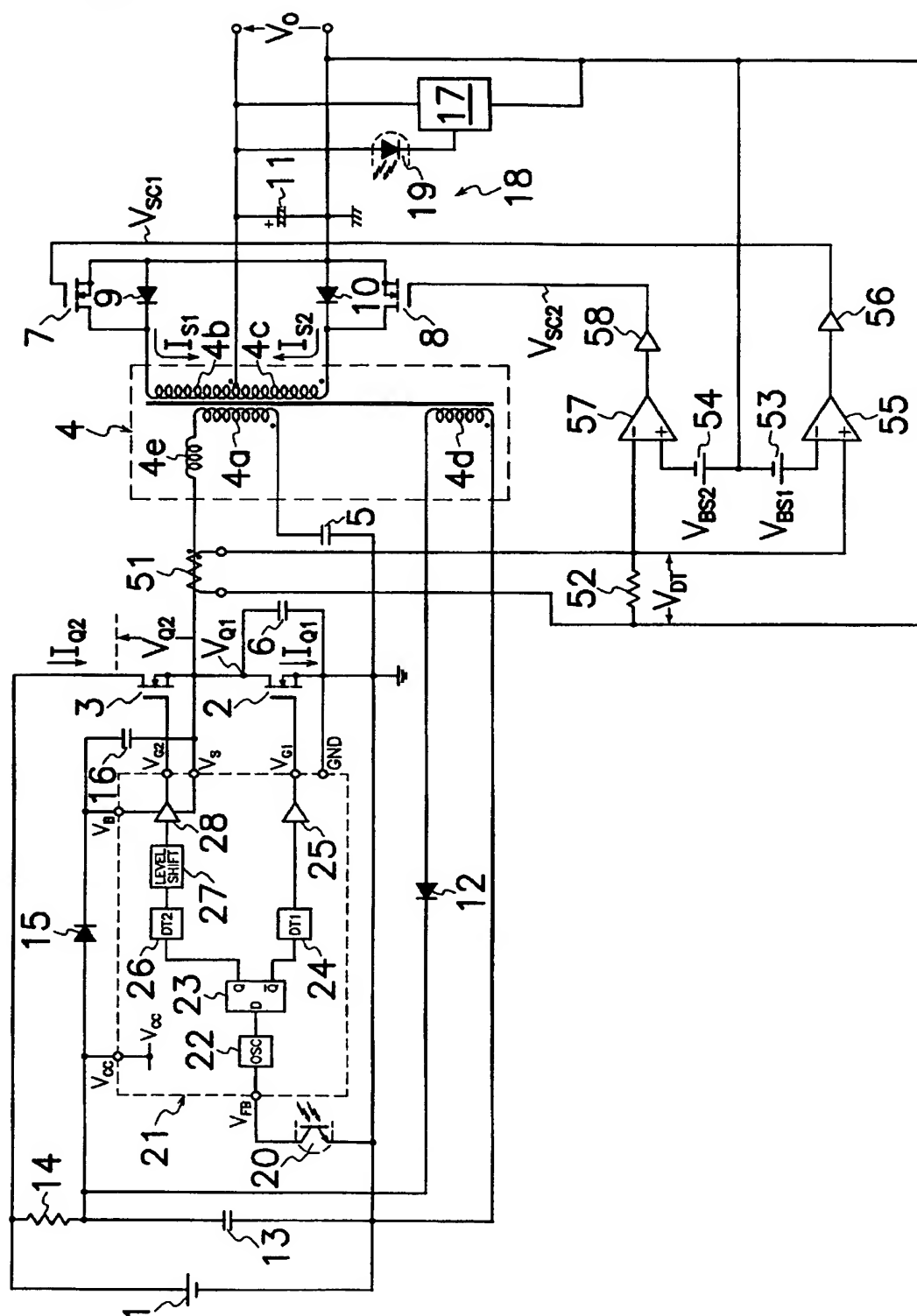
- [1] 直流電源に接続されて1次側回路を構成する少なくとも1つの主スイッチング素子及びトランスの1次巻線と、前記トランスの1次巻線に電磁的に結合する2次巻線と負荷との間に接続され、2次側回路を構成する少なくとも1つの整流用スイッチング素子とを備え、前記主スイッチング素子のスイッチング動作に同期して前記整流用スイッチング素子を駆動することにより、前記2次側回路から前記負荷に直流出力を供給する同期整流型DC-DCコンバータにおいて、
- 前記1次側回路に流れる電流を検出する電流検出手段と、前記トランスの励磁電流に対応する電圧よりも大きいバイアス電圧を発生するバイアス手段と、前記電流検出手段の検出電圧が前記バイアス手段のバイアス電圧を超えたとき、前記整流用スイッチング素子を駆動する比較手段とを備えたことを特徴とする同期整流型DC-DCコンバータ。
- [2] 直流電源に接続されて1次側回路を構成する少なくとも1つの主スイッチング素子及びトランスの1次巻線と、前記トランスの1次巻線に電磁的に結合する2次巻線と負荷との間に接続され、2次側回路を構成する少なくとも1つの整流用スイッチング素子とを備え、前記主スイッチング素子のスイッチング動作に同期して前記整流用スイッチング素子を駆動することにより、前記2次側回路から前記負荷に直流出力を供給する同期整流型DC-DCコンバータにおいて、
- 前記1次側回路に流れる電流を検出する電流検出手段と、バイアス電圧を発生するバイアス手段と、前記トランスの励磁電流に対応する電圧に比例する傾斜信号を発生する傾斜信号発生手段と、前記電流検出手段の検出電圧が前記バイアス手段のバイアス電圧と前記傾斜電圧発生手段の傾斜信号との重畳信号の電圧を超えたとき、前記整流用スイッチング素子を駆動する比較手段とを備えたことを特徴とする同期整流型DC-DCコンバータ。
- [3] 直流電源に接続されて1次側回路を構成する少なくとも1つの主スイッチング素子及びトランスの1次巻線と、前記トランスの1次巻線に電磁的に結合する2次巻線と負荷との間に接続され、2次側回路を構成する少なくとも1つの整流用スイッチング素子とを備え、前記主スイッチング素子のスイッチング動作に同期して前記整流用スイ

チング素子を駆動することにより、前記2次側回路から前記負荷に直流出力を供給する同期整流型DC-DCコンバータにおいて、

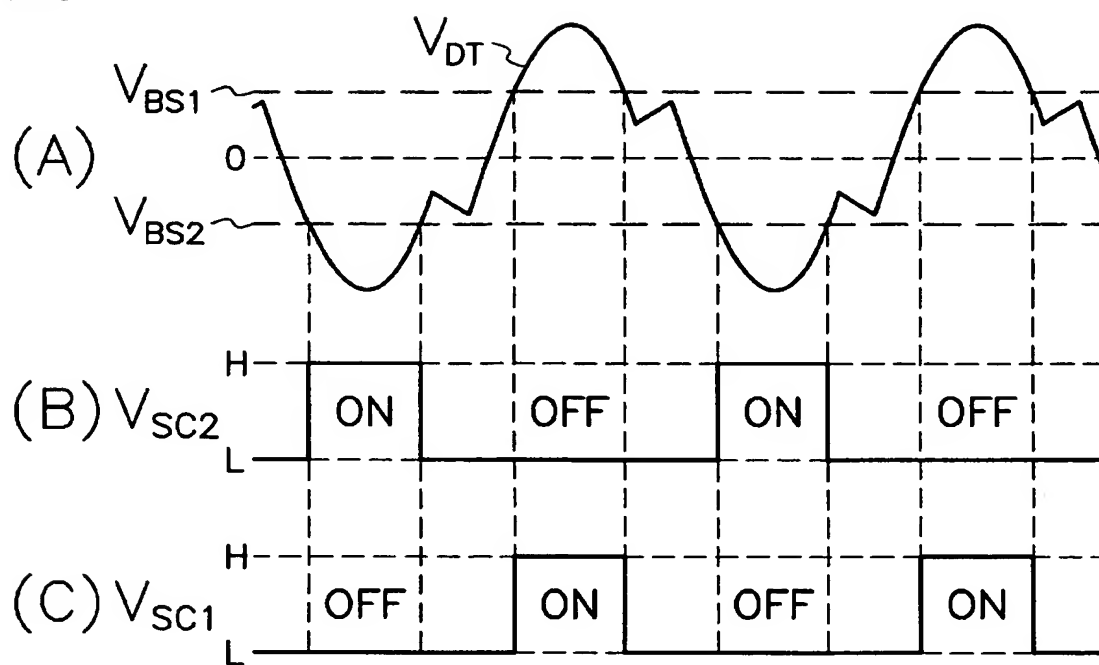
前記1次側回路に流れる電流を検出する電流検出手段と、バイアス電圧を発生するバイアス手段と、前記トランスの励磁電流に対応する電圧に比例する傾斜信号を発生する傾斜信号発生手段と、前記電流検出手段の検出電圧と前記傾斜電圧発生手段の傾斜信号との重畳信号の電圧が前記バイアス手段のバイアス電圧を超えたとき、前記整流用スイッチング素子を駆動する比較手段とを備えたことを特徴とする同期整流型DC-DCコンバータ。

- [4] 前記傾斜信号発生手段は、前記トランスの2次巻線又は該2次巻線の電圧に相当する電圧を出力する巻線に接続され、該巻線の電圧の半周期毎に傾斜が反転する傾斜信号を出力する積分回路で構成される請求項2又は3に記載の同期整流型DC-DCコンバータ。
- [5] 前記傾斜信号発生手段は、前記トランスの2次巻線又は該2次巻線の電圧に相当する電圧を出力する巻線に接続され、該巻線の電圧の周波数に同期するパルス信号を出力する周波数信号発生手段と、該周波数信号発生手段の出力パルス信号の半周期毎に傾斜が反転する傾斜信号を出力する積分回路とを有する請求項2又は3に記載の同期整流型DC-DCコンバータ。
- [6] 前記傾斜信号発生手段は、前記主スイッチング素子のスイッチング周波数の基準となる発振器の出力パルス信号を該出力パルス信号の半周期毎に傾斜が反転する傾斜信号に変換する波形変換手段で構成される請求項2又は3に記載の同期整流型DC-DCコンバータ。

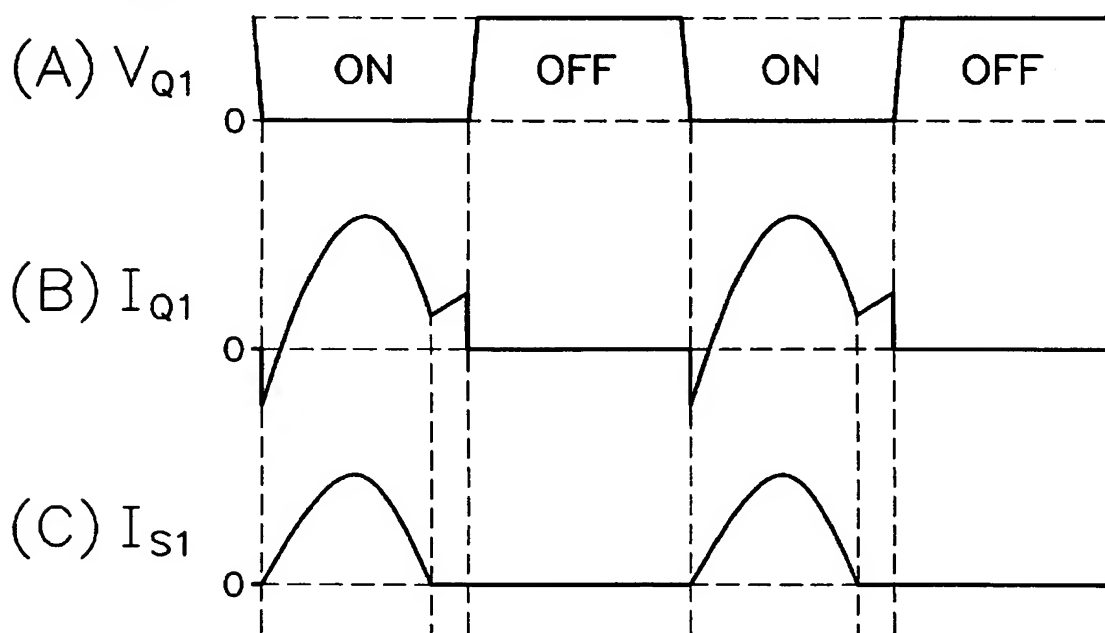
[図1]



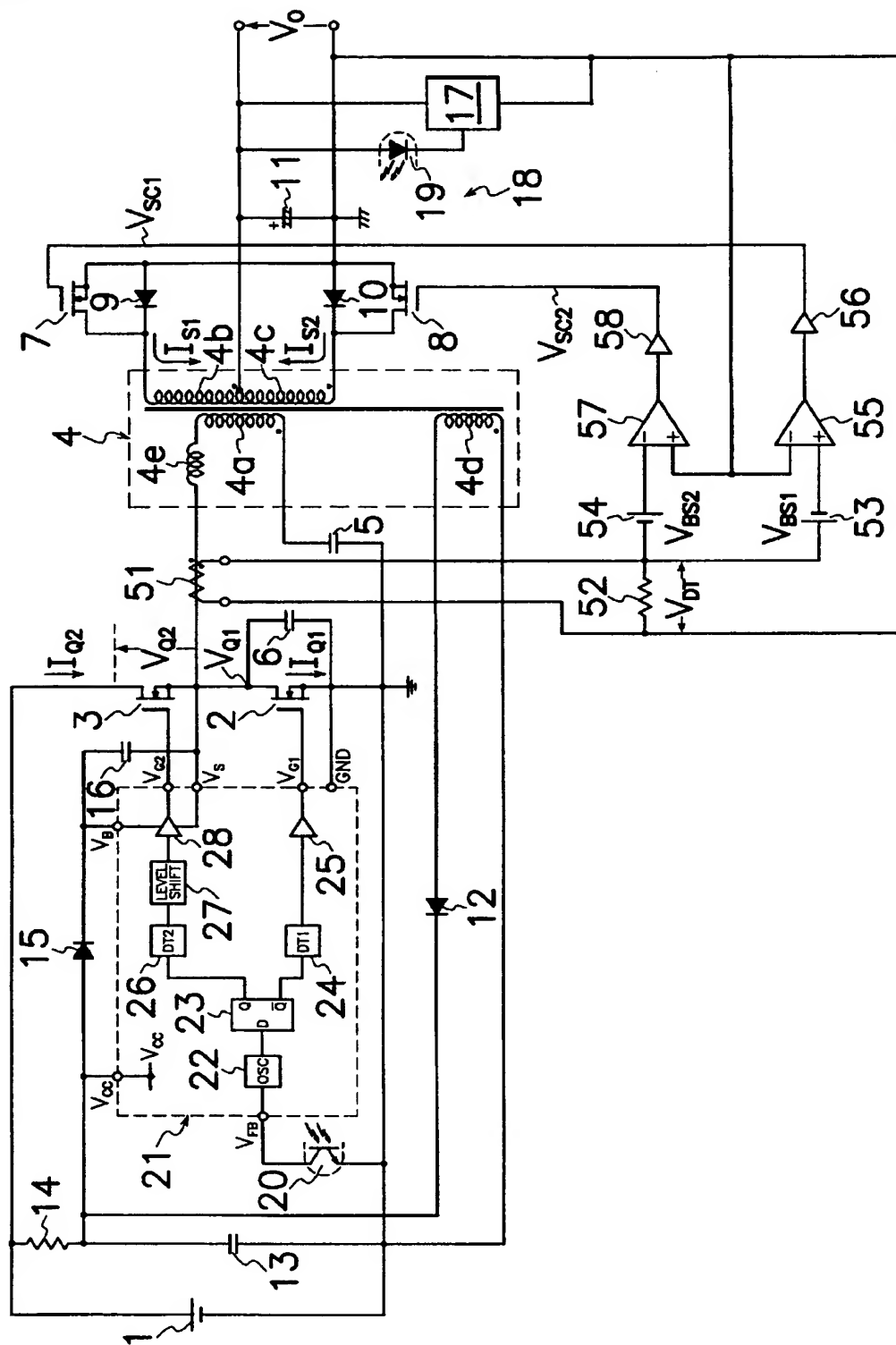
[図2]



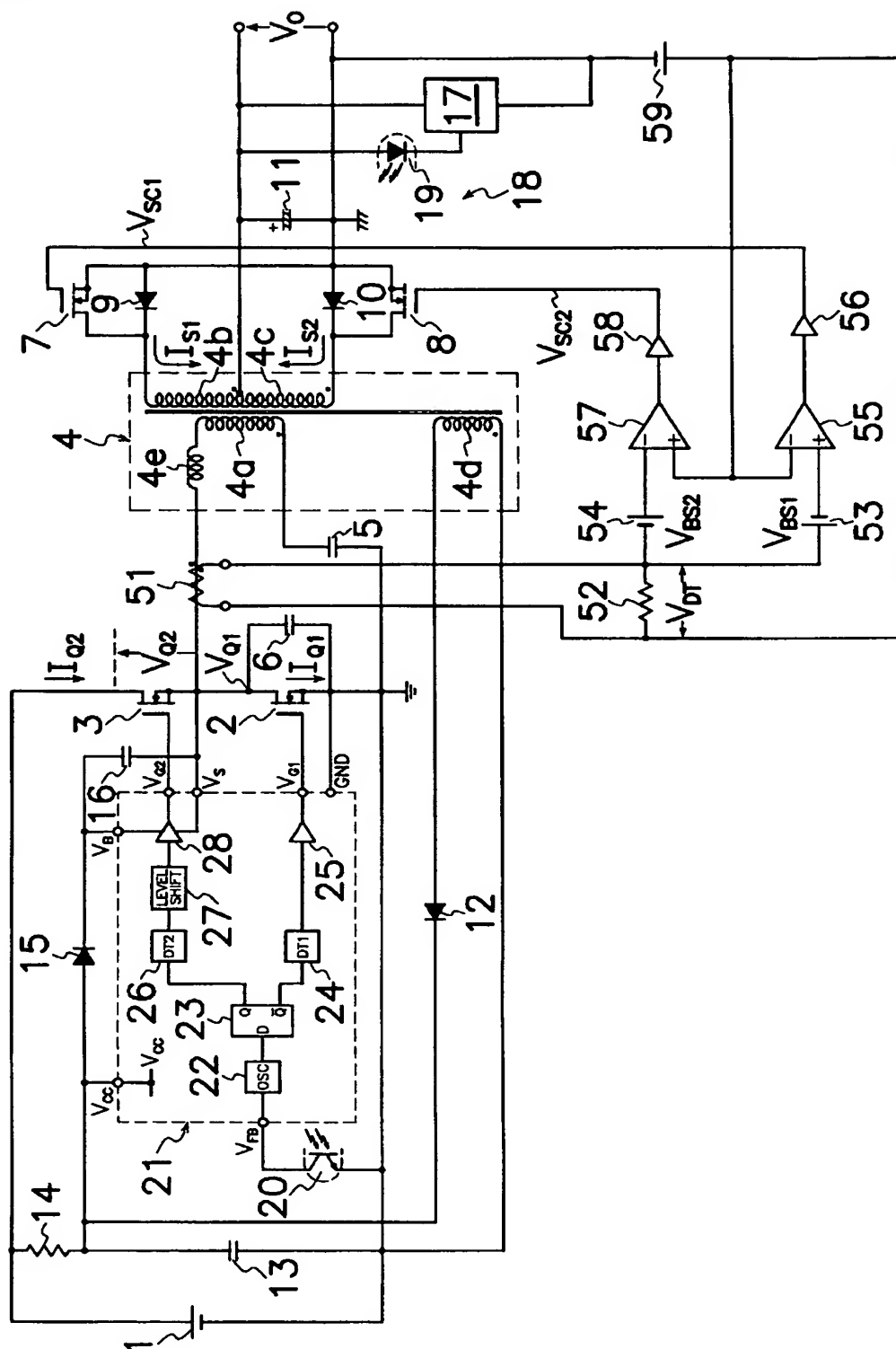
[図3]



[図4]



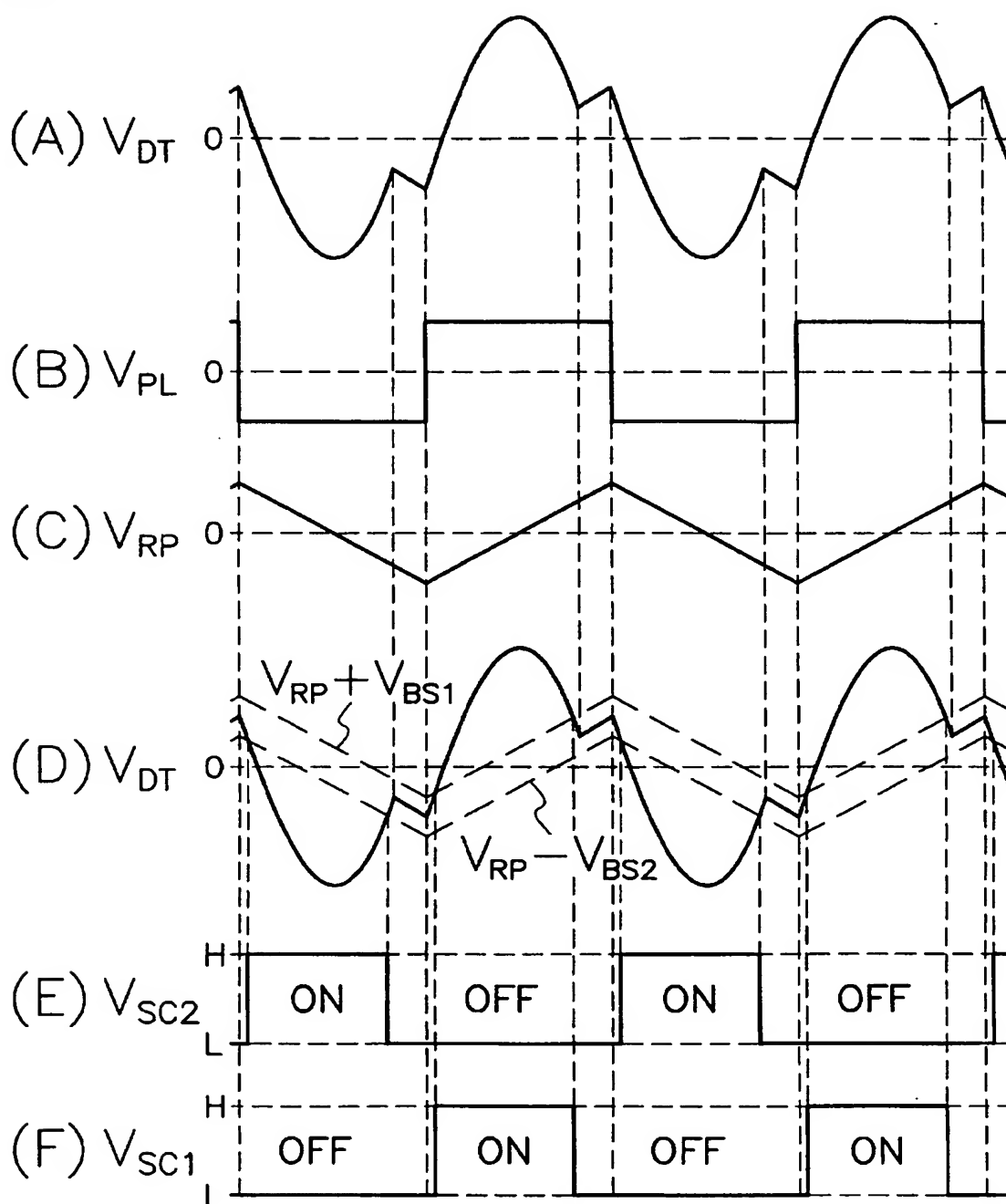
[図5]



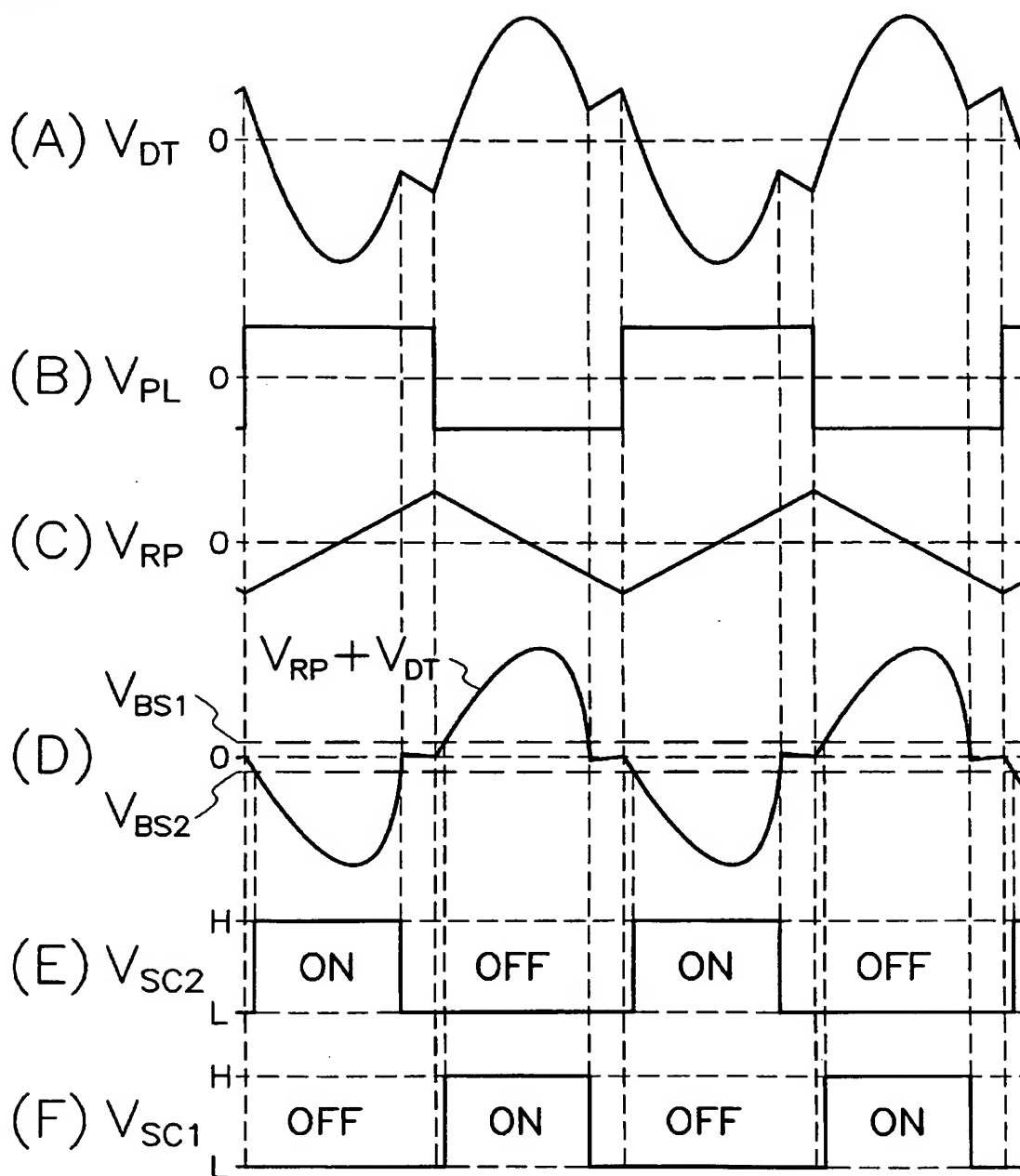
The diagram illustrates a complex electronic circuit with numerous labeled components and nodes:

- Power and Ground Connections:** A power supply terminal 1 is connected to ground through a resistor 14. A feedback node V_{FB} (20) is connected to ground via a capacitor 13.
- Input Stage:** An input signal I_{Q2} (51) enters through a resistor 5. The input stage includes transistors 9 and 10, and resistors 7, 8, and 11. Currents I_{S1} and I_{S2} are indicated at nodes 4b and 4c respectively.
- Control and Timing Circuitry:** This section includes an oscillator (OSC, 22), a level shifter (27), and two delay elements (DT1, 24; DT2, 26). It also features a variable capacitor 6 and several voltage nodes: V_{OC} (21), V_B (16), V_S (2), V_{G1} (25), and V_{Q1} (6).
- Output and Sensing Elements:** The output current I_{Q1} flows through a resistor 3. A sensing element 12 is connected to the output node V_O. Other components include a diode 15, a resistor 17, and a light-emitting diode (LED) 19.
- Feedback and Compensation Network:** This network consists of multiple operational amplifiers (54, 55, 56, 57, 58, 60) and associated resistors (52, 53, 54, 55, 56, 57, 58, 61, 62). Key voltage nodes include V_{BS1}, V_{BS2}, V_{DT}, V_{SC1}, V_{SC2}, V_{RP}, and V_{PL}.

[図7]

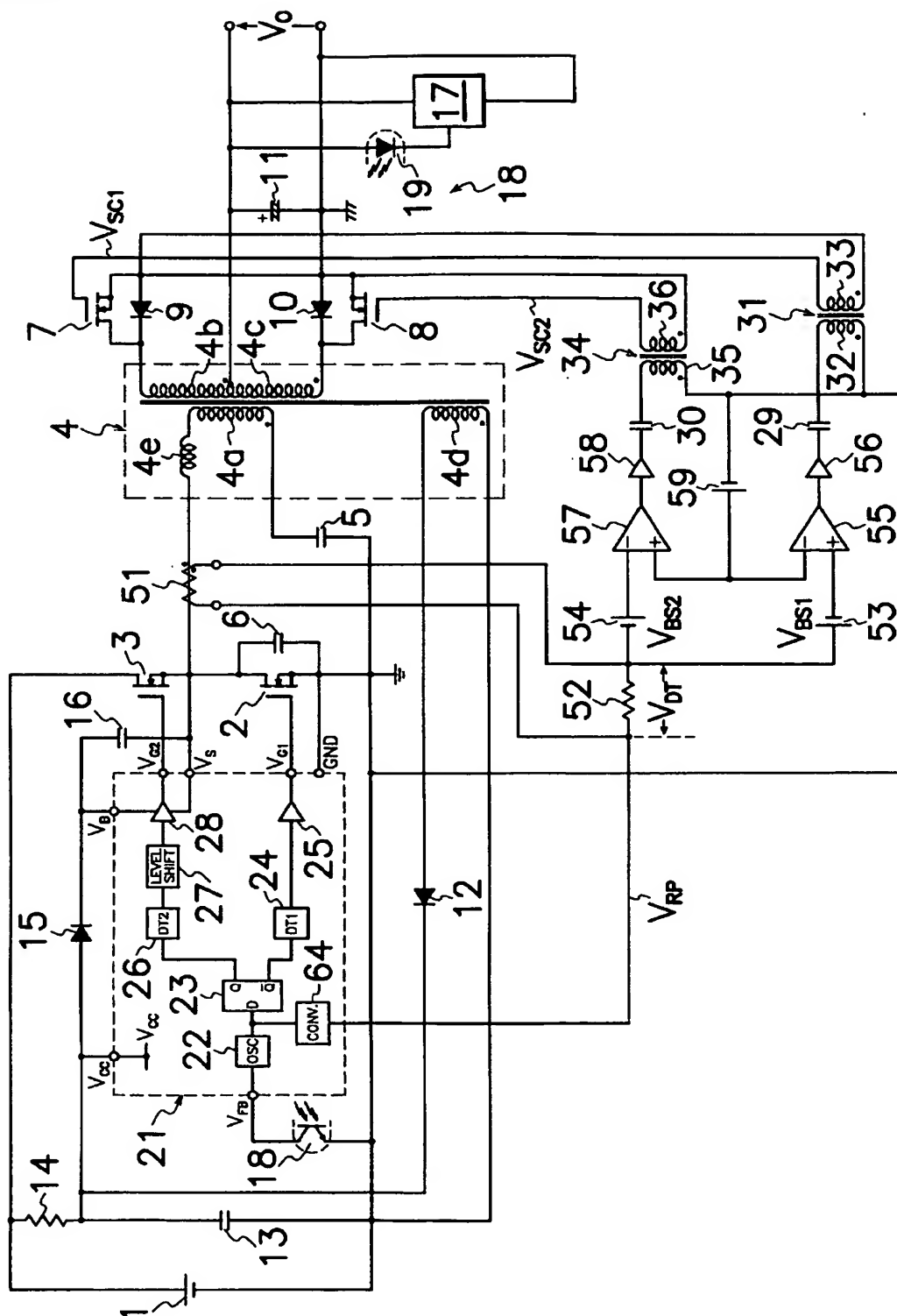


[図9]

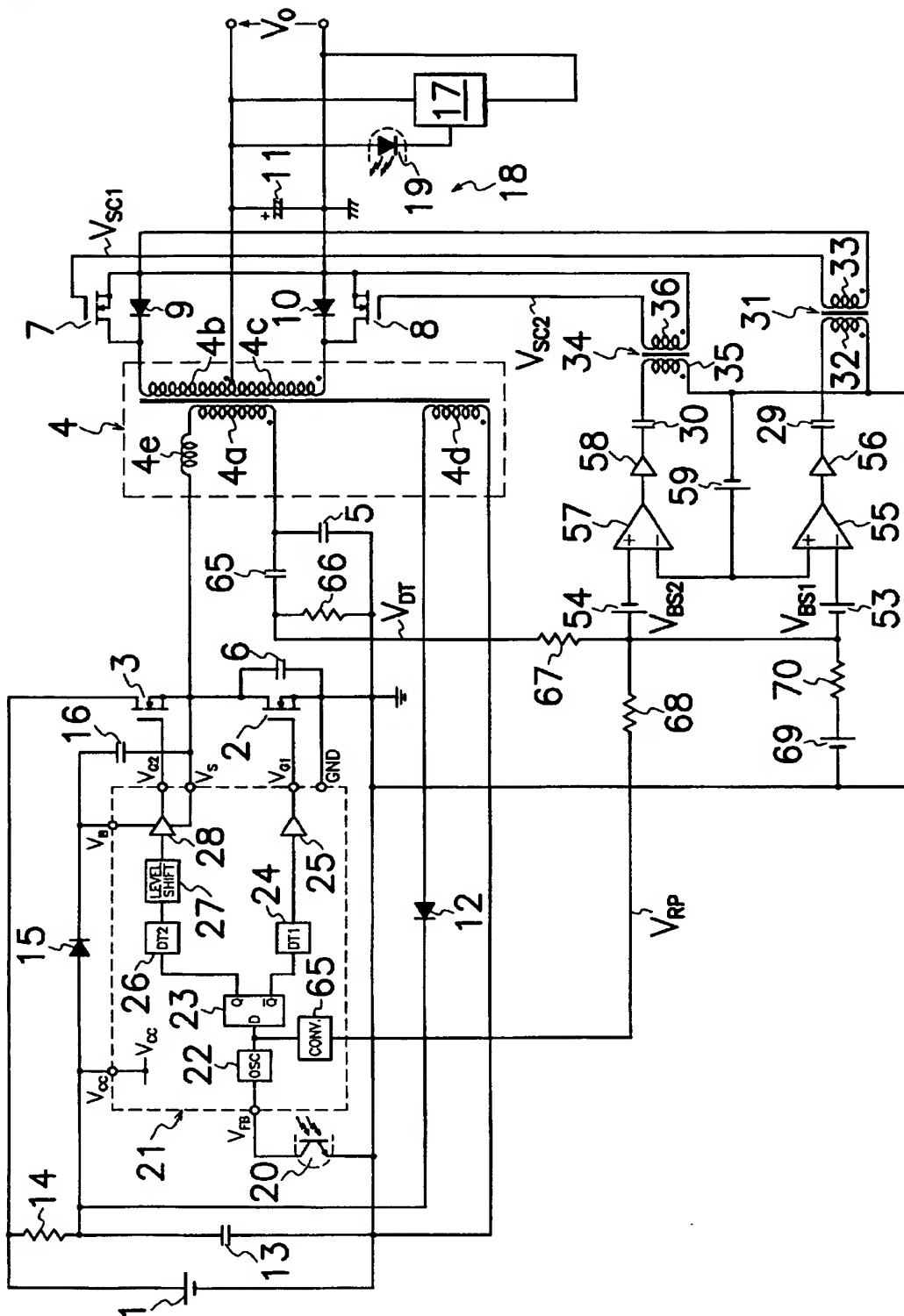


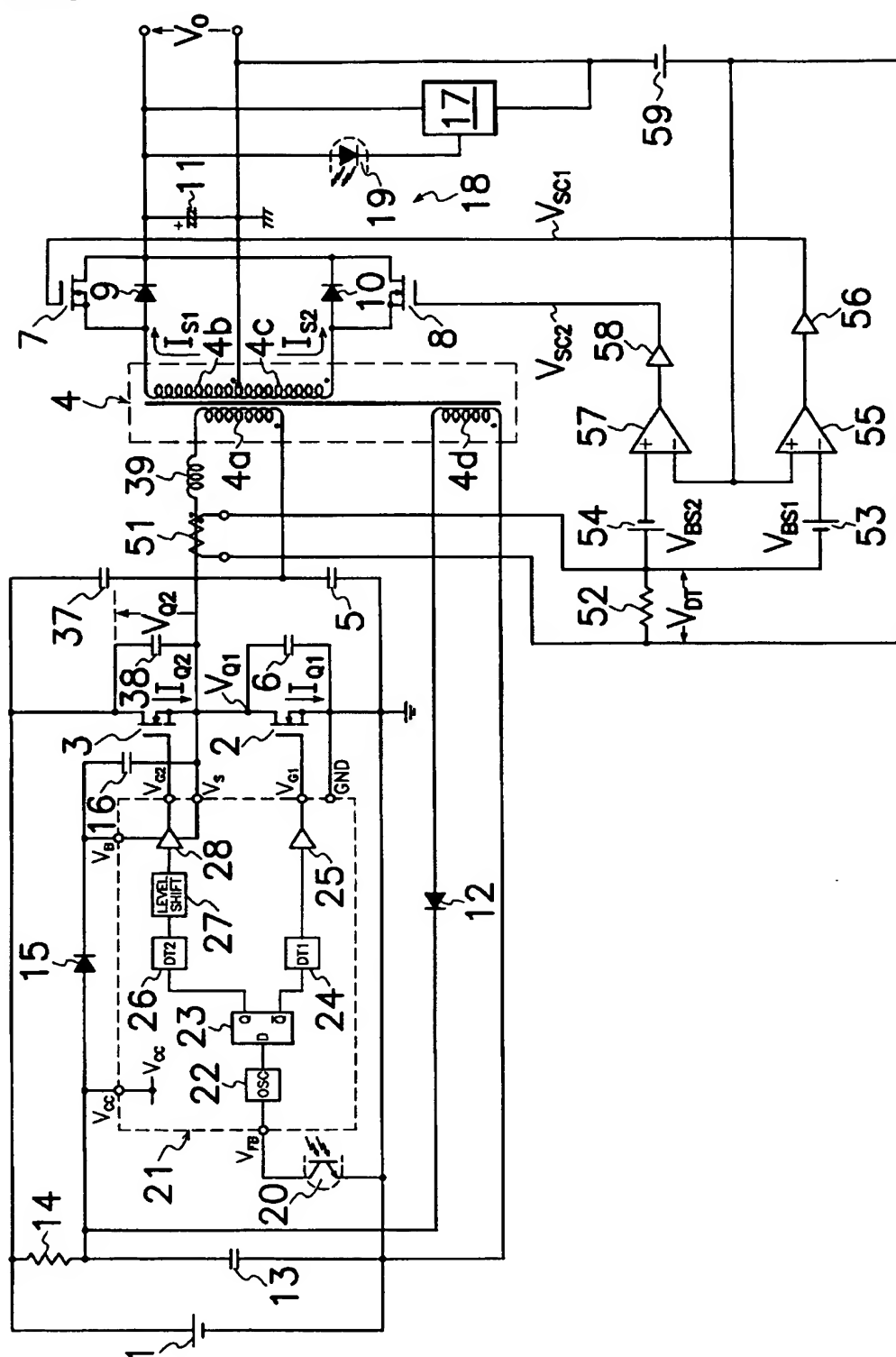
[illegible]

[図11]

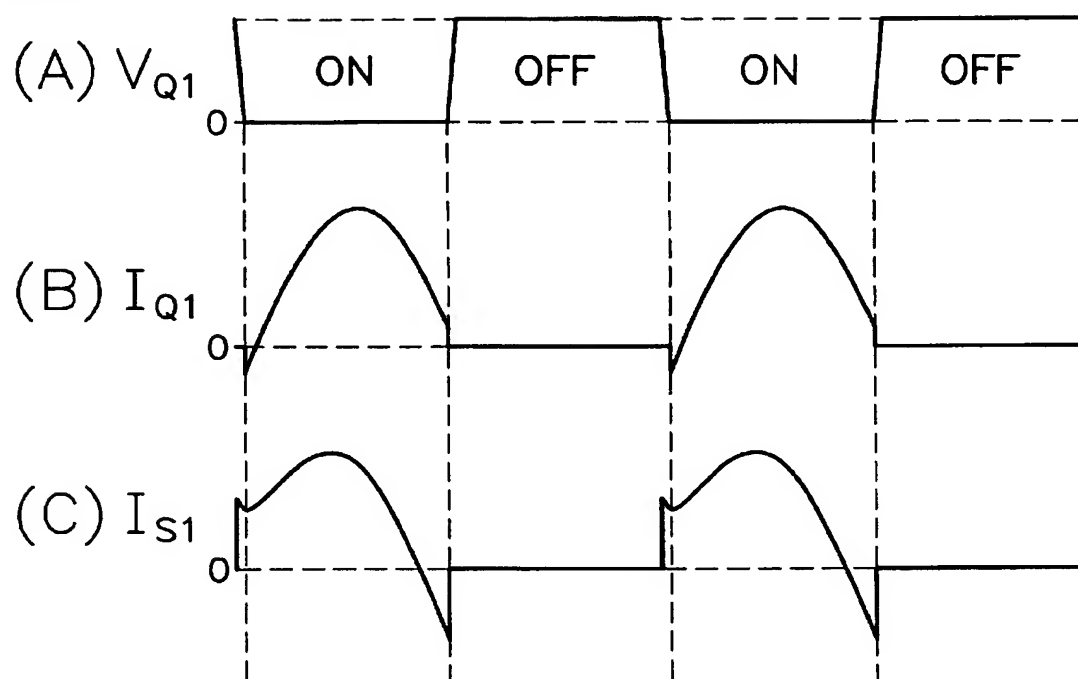


[図12]





[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008314

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-66023 A (Origin Electric Co., Ltd., Nippon Telegraph And Telephone Corp.), 08 March, 1996 (08.03.96), Column 5, line 40 to column 7, line 5; Figs. 7, 8 (Family: none)	1 2-6
A	JP 11-313479 A (Nagano Nihon Musen Kabushiki Kaisha), 09 November, 1999 (09.11.99), Par. Nos. [0013] to [0029]; Figs. 1, 2 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 September, 2004 (03.09.04)

Date of mailing of the international search report
21 September, 2004 (21.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008314

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-322532 A (Origin Electric Co., Ltd.), 12 December, 1997 (12.12.97), Full text; Figs. 1 to 9 (Family: none)	1-6
A	JP 6-343262 A (Shindengen Electric Mfg. Co., Ltd., Nippon Telegraph And Telephone Corp.), 13 December, 1994 (13.12.94), Full text; Figs. 1, 2 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H02M 3/28		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H02M 3/00-3/44		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 8-66023 A (オリジン電気株式会社、日本電信電話株式会社) 08.03.1996, 第5欄第40行-第7欄第5行, 図7, 8 (ファミリーなし)	1 2-6
A	JP 11-313479 A (長野日本無線株式会社) 09.11.1999, 【0013】-【0029】, 図1, 2 (ファミリーなし)	1-6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	03.09.2004	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 櫻田 正紀 3V 2917 電話番号 03-3581-1101 内線 3356

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 9-322532 A (オリジン電気株式会社) 12. 12. 1997, 全文, 図1-9 (ファミリーなし)	1-6
A	J P 6-343262 A (新電元工業株式会社、日本電信電話株式会社) 13. 12. 1994, 全文, 図1, 2 (ファミリーなし)	1-6

THIS PAGE BLANK (USPTO)